

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Shunji NAKATA, et al.**

Serial No.: **Not Yet Assigned**

Filed: **June 4, 2001**

For: **ADIABATIC CHARGING REGISTER CIRCUIT**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
Washington, D.C. 20231

June 4, 2001

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2000-168846, filed June 6, 2000

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN, HATTORI
McLELAND & NAUGHTON, LLP



William L. Brooks
Reg. No. 34,129

Atty. Docket No.: 010704
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
WLB/ll



PATENT OFFICE
JAPANESE GOVERNMENT

Jc971 U.S. PTO
09/871810
06/04/01

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application: June 6, 2000
Application Number: 168846/2000
Applicant(s): NIPPON TELEGRAPH AND TELEPHONE CORPORATION

May 11, 2001

Commissioner,
Patent Office

Kozo OIKAWA(Official Seal)

Certificate Issuance No.2001-3037738

△ [Document]	Application for Patent	
[Reference Number]	NTTH125093	
[Filing Date]	June 6, 2000	
[Recipient]	Commisioner, Patent Office	
[IPC Number]	H03K 19/00	
[Inventor(s)]	c/o NIPPON TELEGRAPH AND TELEPHONE	
[Address]	CORPORATION	
	3-1 Otemachi 2-chome, Chiyoda-ku, Tokyo	
	Shunji NAKATA	
[Name]		
[Inventor(s)]	c/o NIPPON TELEGRAPH AND TELEPHONE	
[Address]	CORPORATION	
	3-1 Otemachi 2-chome, Chiyoda-ku, Tokyo	
	Yuuichi KADO	
[Name]		
[Applicant]		
[Identification Number]	000004226	
[Address]	3-1 Otemachi 2-chome, Chiyoda-ku, Tokyo	
[Name]	NIPPON TELEGRAPH AND TELEPHONE CORPORATION	
[Representative]	Junichiro MIYAZU	
[Attorney]		
[Identification Number]	100083194	
[Address]	3rd Floor, Sanei Building, 13-7 Yotsuya	
	3-chome, Shinjuku-ku, Tokyo	
[Patent Attorney]		
[Name]	Tsuneaki NAGAO	
[Telephone Number]	03(3352)2421	
[General Fee]		
[Deposition Account Number]	050681	
[Amount]	21000 yen	
[List of Attached Document]		
[Document]	Specification	1
[Document]	Abstract	1
[Document]	Drawings	1
[General Power Number]	9701419	
[Necessity of Proof]	Necessary	

日本国特許庁
JAPAN PATENT OFFICE

JC971 U.S. PTO
09/871810
06/04/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2000年 6月 6日

出願番号
Application Number:

特願2000-168846

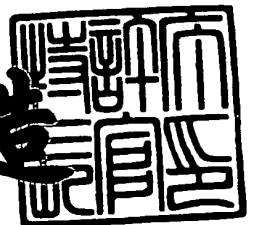
出願人
Applicant(s):

日本電信電話株式会社

2001年 5月11日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3037738

【書類名】 特許願

【整理番号】 NTTH125093

【提出日】 平成12年 6月 6日

【あて先】 特許庁長官 殿

【国際特許分類】 H03K 19/00

【発明者】

【住所又は居所】 東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内

【氏名】 中田 俊司

【発明者】

【住所又は居所】 東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内

【氏名】 門 勇一

【特許出願人】

【識別番号】 000004226

【住所又は居所】 東京都千代田区大手町二丁目3番1号

【氏名又は名称】 日本電信電話株式会社

【代表者】 宮津 純一郎

【代理人】

【識別番号】 100083194

【住所又は居所】 東京都新宿区四谷3丁目13番7号 三栄ビル3階

【弁理士】

【氏名又は名称】 長尾 常明

【電話番号】 03(3352)2421

【手数料の表示】

【予納台帳番号】 050681

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 要約書 1

【物件名】 図面 1

【包括委任状番号】 9701419

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 断熱充電レジスタ回路

【特許請求の範囲】

【請求項1】

複数のnチャネルMOSFETと複数のpチャネルMOSFETから構成されるレジスタ回路において、

前記nチャネルMOSFETのしきい値を V_{TN} とし、前記pチャネルMOSFETのしきい値を V_{TP} とし、電源電圧をVDDとすると、 $|V_{TN}| + |V_{TP}| > VDD$ とし、且つ、

入力クロックを電荷再利用を行う電源を用いて生成した緩やかに上昇下降する波形のワーククロックとしたことを特徴とする断熱充電レジスタ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、クロック系の消費電力低減を図った断熱充電レジスタ回路に関するものである。

【0002】

【従来の技術】

通常、LSI内には数千～数万という非常に多くのレジスタ回路が存在し、このレジスタ回路には一般にDFF回路又はDラッチ回路が用いられ、以下にDFF回路をレジスタ回路として用いた場合について説明する。このDFF回路は2つのDラッチ回路により構成されている。図17にこのDラッチ回路の代表的な回路構成を示す（参考文献：日経BP社 パターソン、ヘネシー、コンピュータの構成と設計p.677）。図17のDラッチ回路70は、NORゲート71、72の構成と設計によるRSFFとANDゲート73、74を用いて構成され、クロック端子CKと差動のデータ端子D、DNを入力端子とし、差動のQ端子とQN端子を出力端子としたものである。NORゲート71、72は一方の入力信号がLowのときインバータとして働くため、このDラッチ回路70は次の特徴をもつ

。(1)クロック端子CKがLowの時にたすき掛けNORゲート71, 72は同じ状態を記憶する。(2)クロック端子CKがHighの時にデータ端子Dの値が記憶される。

【0003】

さて、このDラッチ回路70を2つ縦続接続すると図18に示すDFF回路80が構成される。初段のDラッチ回路70AにはクロックCKがそのまま印加し、2段目のDラッチ回路70BにはそのクロックCKをインバータ90で180度位相反転したクロックが印加する。このDFF回路80は次の特徴をもつ。(1)クロックCKがHighになった時、初段のDラッチ回路70Aが開いて入力端子Dのデータが取り込まれる。(2)クロックCKがLowの時、2段目のDラッチ回路70Bが開いて、初段のDラッチ回路70AのQ出力信号O1を入力信号Dとして受け取る。

【0004】

図19にデータD、入力クロックCK、初段のDラッチ回路70Aの出力信号O1、2段目のDラッチ回路70Bの出力信号O2の波形図を示す。これらからわかるように、出力信号O2はクロックCKがHighからLowに変化するときにデータを取り込んでおり、エッジトリガ型となっている。

【0005】

【発明が解決しようとする課題】

ところで、従来のクロック信号はCMOS回路構成のインバータにより生成されており、その波形は矩形状をしている。出力側の負荷は、出力信号がHighの時には、インバータのpチャネルMOSFETを通して電源電圧VDDに充電され、出力信号がLowの時には、インバータのnチャネルMOSFETを通してGNDに接地されるので、クロック信号による消費電力Pは、 $P = CV^2f$ と表される。ここで、fはクロック周波数、Vは電源電圧、Cは配線の負荷容量とクロック信号を入力するゲートのゲート容量の和である。

【0006】

近年では、上記した配線の容量が大規模集積化に伴うチップ面積の増大により増大し、チップの総消費電力の50%をクロックの充放電による消費電力が占め

るようになってきている（文献：日経BP社 日経マイクロデバイス編 低電力LSIの技術白書 90ページ）。

【0007】

また、動画像を処理するようなLSIやRISCプロセッサでは、パイプライン用レジスタ回路の個数が多くなり、論理処理の消費電力とクロック系の消費電力が同程度となってきていることも知られている（文献：低消費電力、高速LSI技術、リアライズ社、p.8）。この関係は動作速度には依存せず、LSI中のレジスタ回路の占める割合でほぼ決められる。

【0008】

本発明は以上のような点に鑑みてなされたものであり、その目的は、電荷再利用を行う電源を用いて生成した緩やかに上昇下降する波形のクロックを使用して、クロック系で消費される電力を大きく低減させる断熱充電レジスタ回路を提供することである。

【0009】

【課題を解決するための手段】

このため本発明は、複数のnチャネルMOSFETと複数のpチャネルMOSFETから構成されるレジスタ回路において、前記nチャネルMOSFETのしきい値を V_{TN} とし、前記pチャネルMOSFETのしきい値を V_{TP} とし、電源電圧をVDDとすると、 $|V_{TN}| + |V_{TP}| > VDD$ とし、且つ、入力クロックを電荷再利用を行う電源を用いて生成した緩やかに上昇下降する波形のパワー-clockとした。

【0010】

【発明の実施の形態】

本発明の断熱充電レジスタ回路では、通常のレジスタ回路が通常の矩形のクロックを使用するのに対して、電荷再利用を行う電源を用いて生成した緩やかに上昇下降する波形の電荷リサイクル型のパワー-clockを用いる。このようなパワー-clockを用いたレジスタ回路では、クロック系の消費電力を従来回路に比べて大幅に低減することが可能で、その低減量は1/10程度以下にまで可能である。また、このとき、レジスタ回路を構成するnチャネルMOSFET、pチャネル

MOSFETのしきい値 V_{TN} , V_{TP} について、

$$|V_{TN}| + |V_{TP}| > VDD$$

の条件を満足させることにより、論理ゲートの電源からGNDへの貫通電流を無くすことも可能である。以下詳しく説明する。

【0011】

[第1の実施形態]

図1は本発明の第1の実施形態のレジスタ回路であるDFF回路20のブロック図であり、このDFF回路20は初段のDラッチ回路10Aと2段目のDラッチ回路10Bから構成されている。Dラッチ回路10A, 10Bは図2の符号10に示すように、RSFFを構成するNORゲート11, 12とANDゲート13, 14から構成されている。

【0012】

本発明では、Dラッチ回路10を構成するNORゲート11, 12, ANDゲート13, 14のnチャネルMOSFETのしきい値を V_{TN} とし、pチャネルMOSFETのしきい値を V_{TP} とし、電源電圧をVDDとするとき、

$$|V_{TN}| + |V_{TP}| > VDD$$

の条件を満足するように、それらしきい値を大きな値に設定する。これにより、Dラッチ回路10内の論理ゲートの電源から接地への貫通電流を無くすることができる。

【0013】

また、本発明では、DFF回路20の初段のDラッチ回路10Aのクロック端子PCKに、電荷再利用を行う電源を用いて生成した緩やかに上昇下降する波形の電荷リサイクル型のパワークロックPCK1を入力させ、2段目のDラッチ回路10Bのクロック端子PCKはそのパワークロックPCK1を180度位相反転したパワークロックPCK2を入力させる。

【0014】

これらのパワークロックPCK1, PCK2は、図3に示すようなスイッチドキャパシタ回路により構成した階段状波形（出力波形が階段状に緩やかに立ち上がり緩やかに立ち下がる波形）生成回路30（文献：1999 SSDM p.444）や、L

C共振回路（図示せず）を使用して生成させることができる。図3において、 $T_0 \sim T_4$ 、 $T_0' \sim T_4'$ はトランスミッションゲート、 $C_1 \sim C_3$ はキャパシタである。この階段状波形生成回路30では、トランスミッションゲート $T_0 \sim T_4$ 、 $T_0' \sim T_4'$ を、

$(T_0, T_0') \rightarrow (T_1, T_1') \rightarrow (T_2, T_2') \rightarrow (T_3, T_3') \rightarrow (T_4, T_4') \rightarrow (T_3, T_3') \rightarrow (T_2, T_2') \rightarrow (T_1, T_1') \rightarrow (T_0, T_0') \rightarrow (T_1, T_1') \rightarrow \dots$

の順序で個々に2個ずつ導通させれば、階段状波形のパワークロックPCK1、PCK2を出力端子31、32に得ることができる。

【0015】

いま、 $V_{DD}=1V$ 、 $|V_{TN}|=|V_{TP}|=0.7V$ と仮定するとき、初段と2段目のDラッチ回路10A、10Bの動作は、図4に示すようになる。パワーロックPCK1、PCK2のレベルが0.7Vより大きいとき、Dラッチ回路10A、10Bでは入力取り込みが行われ、0.7Vより小さいとき、そのときの状態を記憶する。図5、図6はデューティが異なる場合のパワークロックPCK1、PCK2の波形を示したものである。

【0016】

ここで、時間 T_{FF} はDFF回路20において、入力から出力までに要する時間を表している。また、 $T_{combination}$ はDFF回路20の前段又は後段に接続される組み合わせ論理回路に許される遅延時間を表している。

【0017】

このパワークロックPCK1、PCK2により駆動されるDFF回路を断熱充電DFF回路と呼ぶことにすると、この断熱充電DFF回路の特徴は次の通りである。(1)たすき掛けNORゲートによるスタティック動作であり、ダイナミック動作に比べて安定である。(2)初段と2段目のDラッチ回路10A、10Bが同時にデータを取り込むことがないため、データの突き抜けは起こらない。(3)初段と2段目のDラッチ回路10A、10Bが同時に記憶モードとなる期間があり、このとき各々のDラッチ回路10A、10Bは独立にデータを記憶する。(4)時間 T_{FF} がCMOS構成のDFF回路に比べて大きい。(5)パワークロックPC

K1、PCK2を使用できるため、消費電力を通常のクロックを使用する場合に比べて1/10以下にすることができる。(6)CMOSのDFF回路を断熱充電DFF回路+電荷再利用型電源に容易に置き換えることが可能となる(CMOS回路との互換性あり)。

【0018】

図1に示した断熱充電DFF回路の動作を図7に示す。パワークロックPCK1がHighからLowになるときの入力データDを取り込み、そのクロックPCK1の1周期の間だけそのデータを保持している(02参照)ことが分かる。

【0019】

HSPICEによるシミュレーション結果を図8、図9に示す。図8は通常の矩形クロックCKを用いた図18のDFF回路80の波形図であり、図9がパワークロックPCK1、PCK2を用いた図1のDFF回路20の波形図である。ただし、パワークロックPCK2の波形はPCK1の逆相であるため省略した。nチャネルMOSFET、pチャネルMOSFETのゲート長は各々 $0.25\mu\text{m}$ 、pチャネルのMOSFETのゲート幅は $9\mu\text{m}$ 、nチャネルのMOSFETのゲート幅は $6\mu\text{m}$ である。また、しきい値は $|V_{TN}| = |V_{TP}| = 0.3\text{V}$ である。電源電圧 $V_{DD} = 0.5\text{V}$ とし、クロックPCK1、PCK2、CKの周期を 100ns ($f = 10\text{MHz}$)としてシミュレーションを行った。

【0020】

これらのシミュレーション結果によれば、パワークロックPCK1、PCK2を用いても、出力は通常の矩形クロックCKを使用したときと同一であることが分かる。また、DFF回路の定電圧による消費電力は、通常のCMOSのDFF回路と断熱充電のDFF回路の場合のどちらも 320nW である。貫通電流が無いため貫通電流による消費電力の増大は生じていない。また、通常の矩形クロックCKによる消費電力が 310nW であるのに対し、パワークロックPCK1、PCK2による場合は 23nW であり、断熱充電電荷リサイクルによりクロック系の消費電力が1/10以下となっている。

【0021】

図10は図1に示したDFF回路20からなるDFF回路20A~20Cと組

み合わせ論理回路40A~40Cが交互に接続されるようそれらを縦続接続して構成した回路であり、個々の論理回路40A~40Cは1クロック当りの処理時間が前記した時間 $T_{\text{combination}}$ 以内となるように構成する。

【0022】

〔第2の実施形態〕

図11は本発明の第2の実施形態を示す図である。ここでは、図2に示したDラッチ回路10からなるDラッチ回路10A~10Dと組み合わせ論理回路40A~40Dが交互に接続されるようそれらを縦続接続して回路を構成している。ここでは、時間 T_{FF} の概念はなくなり、組み合わせ論理回路40A~40Dに許される遅延時間は、通常の矩形クロックによるラッチ回路間転送と同じ時間となる。2個のDラッチ回路10A、10Bを直接接続し組み合わせ論理回路を省略した構成を図12に示し、その動作波形図を図13に示した。これらは図1のDFF回路20に対する図7の波形図とほぼ同じであるが、入力信号Iの波形を若干変更して、パワークロックPCK1がしきい値以上のとき、時刻t1において入力信号IがHighからLowに変化すると、その波形が出力O1に現れていることが表されている。

【0023】

〔第3の実施形態〕

図14は本発明の第3の実施形態を示す図である。ここでは、インバータ60A、60Bとトランスミッションゲート50Bからなる記憶回路と、その入力側に接続したトランスミッションゲート50Aとによりラッチ回路を構成している。パワークロックはPCK1~PCK4の4種を使用し、そのうちPCK1とPCK2をトランスミッションゲート50A用として反転関係に、またPCK3とPCK4をトランスミッションゲート50B用として反転関係にしている。PCK1とPCK3、PCK2とPCK4は各々180度逆相関係にある。図15にパワークロックPCK1~PCK4の波形図を示した。

【0024】

〔Dラッチ回路についての考察〕

Dラッチ回路の構成としては、前述の図2に示したRSFFタイプとこの図1

4に示したトランスミッションゲートタイプが挙げられる。RSFFタイプでは、データの入力/記憶がスタティックで行われており、低速でも正常に動作するが、トランスミッションゲートタイプでは動作がダイナミックとなり、極低速動作には適していない。また、通常のCMOS回路の動作を考えると、クロックを入力とするトランジスタ数はRSFFタイプで4個（各ANDゲートに2個）、トランスミッションゲートタイプで6個（通常はクロックを反転する1個のインバータが必要であるので、これに要する2個のトランジスタも必要故）であるため、RSFFタイプの方が合計トランジスタ数では多いが、クロック系のトランジスタ数が少ない点から消費電力は小さくなる（文献：C.Svensson and D.Liu, Low Power Design Methodologies, eds. J.M. Rabaey and M. Pedram (Kluwer Academic Publishers, 1996) Chap. 3, p. 37.）。断熱充電可逆論理として、RSFFタイプを用いるかトランスミッションゲートタイプを用いるかは、上記のことを考慮して、目的に応じて判断するとよい。

【0025】

【サブスレッショルド領域での使用について】

また、この断熱充電レジスタ回路は、極めて特殊な条件ではあるが、しきい値よりも低い電源電圧（サブスレッショルド領域： $|V_{TN}| > V_{DD}$ 、且つ $|V_{TP}| > V_{DD}$ ）の弱反転状態領域でも、CMOSと同様に動作が可能である。生体センサや環境センサのようなサブスレッショルド領域低速動作LSIへの応用が可能なのは言うまでもない。

【0026】

【発明の効果】

以上説明したように本発明の断熱充電レジスタ回路によれば、クロック系で消費される電力を通常のCMOSのレジスタ回路で消費される電力に比べて1/10程度にまで削減することが可能となる（図16）。また、本発明では、従来のCMOS回路においてCMOS構成のレジスタ回路を断熱充電レジスタ回路に置き換えるだけでよいので、CMOS構成の回路との互換性があり、容易に設計できる利点もある。

【図面の簡単な説明】

【図1】 本発明のDFF回路のブロック図である。

【図2】 図1のDFF回路を構成するDラッチ回路の回路図である。

【図3】 階段状波形生成回路の回路図である。

【図4】 図1のDFF回路に入力するパワークロックの波形図である。

【図5】 図1のDFF回路に入力する別のパワークロックの波形図である。

【図6】 図1のDFF回路に入力する別のパワークロックの波形図である。

【図7】 図1のDFF回路の動作波形図である。

【図8】 従来の矩形クロックを使用したDFF回路の動作のシミュレーション波形図である。

【図9】 本発明のパワークロックを使用したDFF回路の動作のシミュレーション波形図である。

【図10】 図1のDFF回路と論理回路を交互に接続した回路のブロック図である。

【図11】 図1のDラッチ回路と論理回路を交互に接続した回路のブロック図である。

【図12】 図11の1部の回路で論理回路を省略してDラッチ回路を2個直接接続した回路の回路図である。

【図13】 図12の回路の動作波形図である。

【図14】 トランSMissionゲートを使用したDラッチ回路の回路図である。

【図15】 図14の回路で使用するパワークロックの波形図である。

【図16】 本発明の効果の説明図である。

【図17】 従来のDラッチ回路の回路図である。

【図18】 従来のDFF回路のブロック図である。

【図19】 図18のDFF回路の動作波形図である。

【符号の説明】

10, 10A~10D: Dラッチ回路、11, 12: NORゲート、13, 14: ANDゲート

20, 20A~20C: DFF回路

30 : 階段状波形生成回路、31, 32 : 端子

40A~40D : 組み合わせ論理回路

50A、50B : トランスミッションゲート

60A、60B : インバータ

70、70A、70B : Dラッチ回路、71, 72 : NORゲート、73, 7

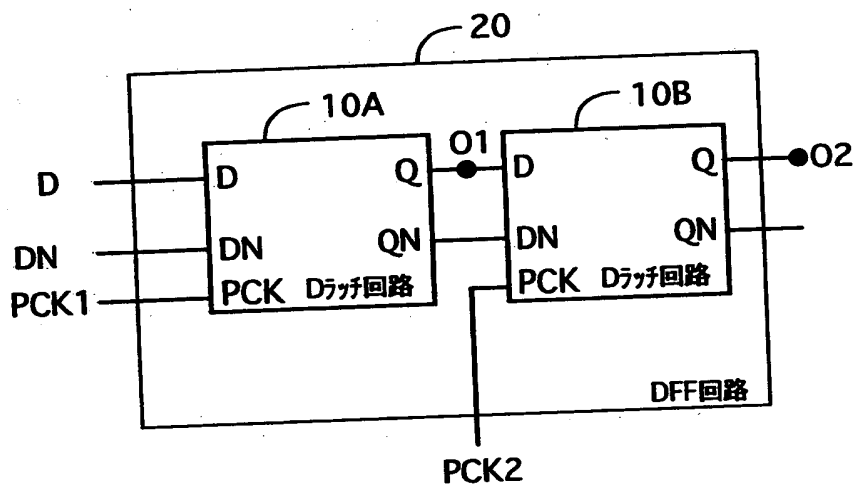
4 : ANDゲート

80 : DFF回路

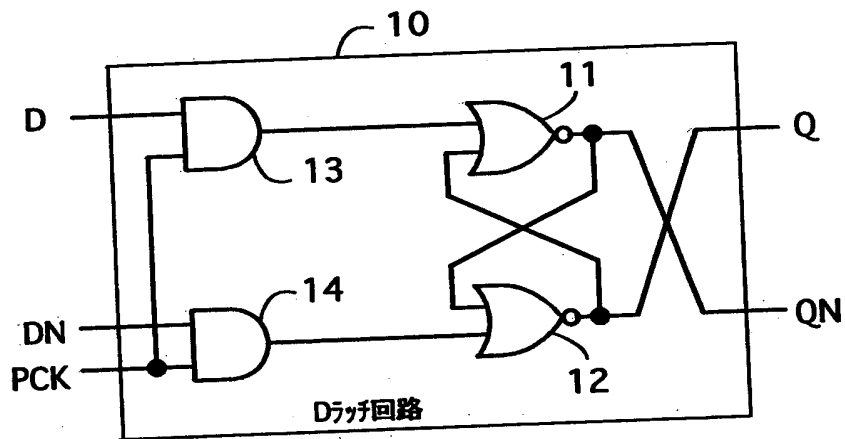
90 : インバータ

【書類名】 図面

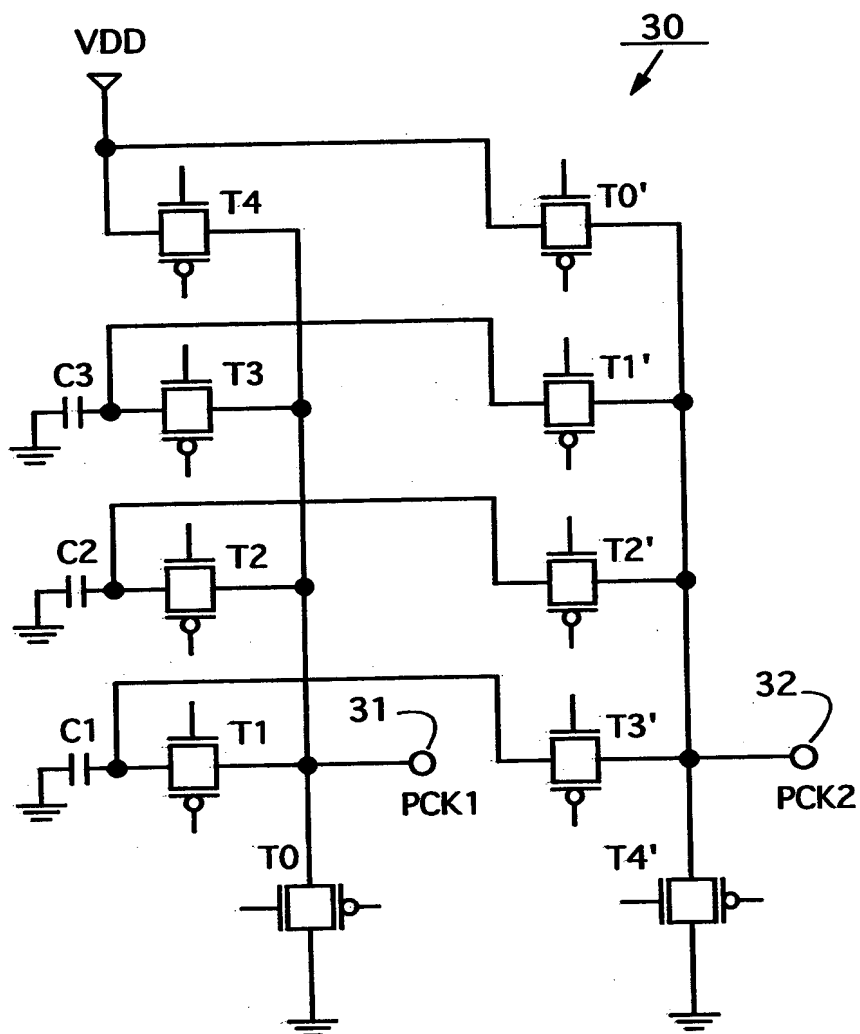
【図1】



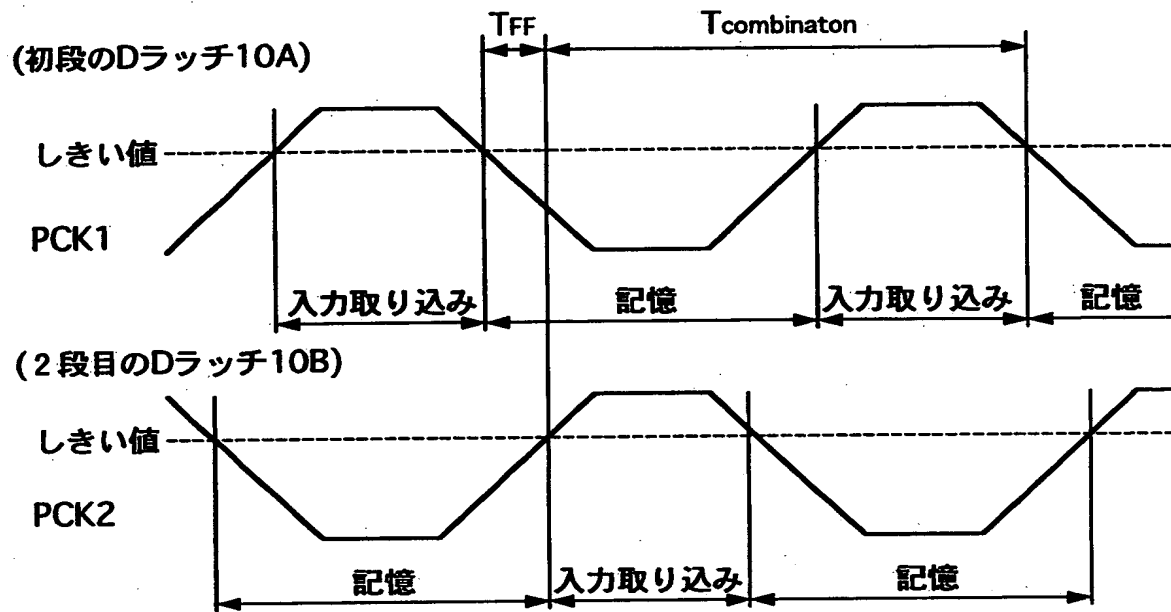
【図2】



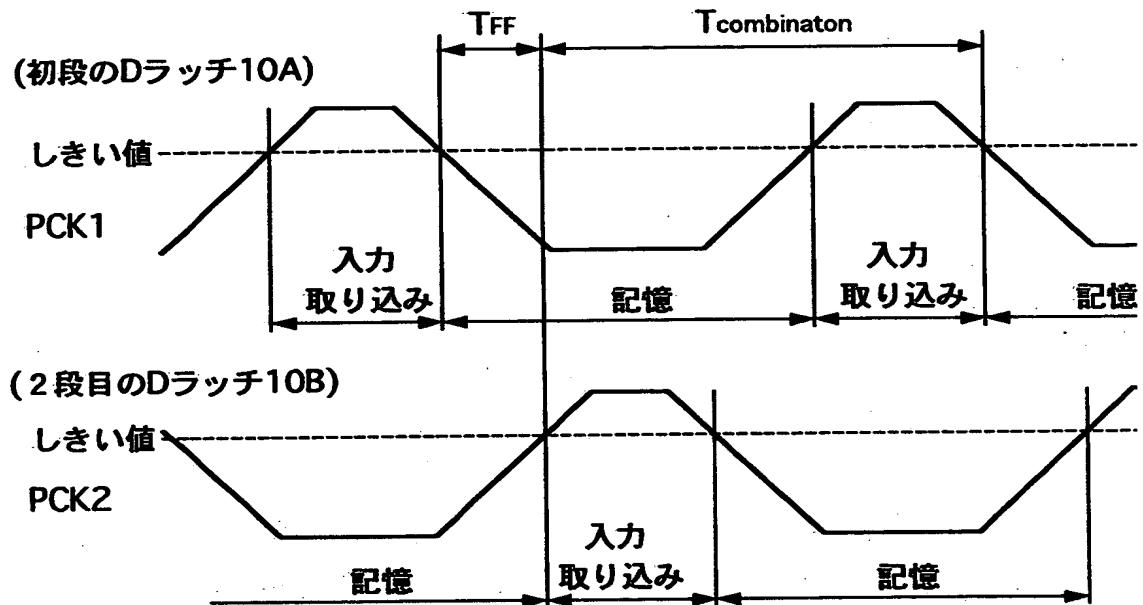
【図 3】



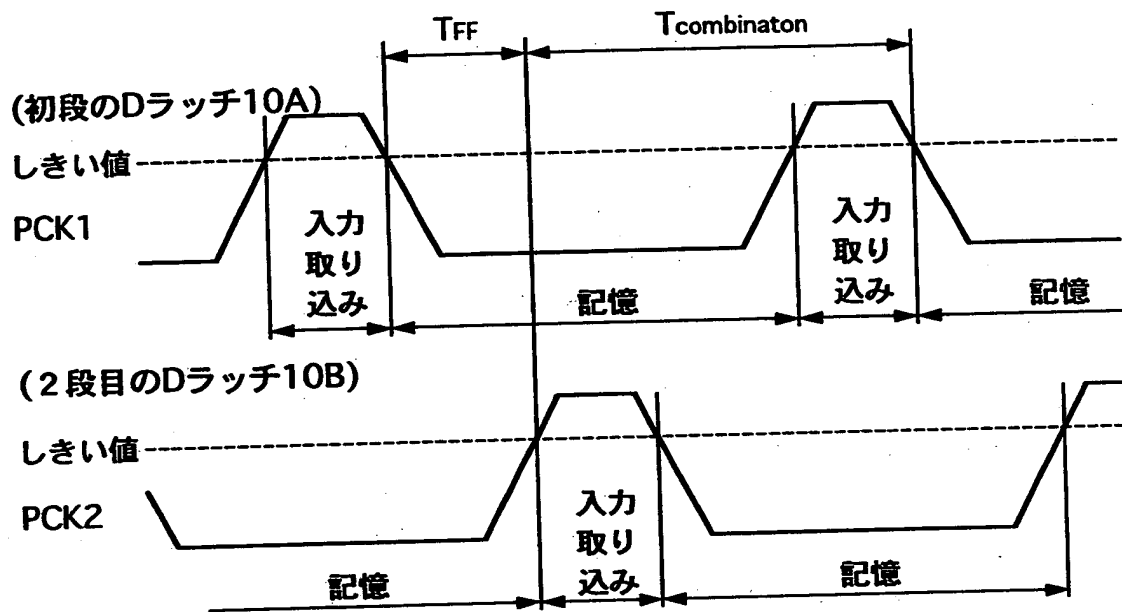
【図4】



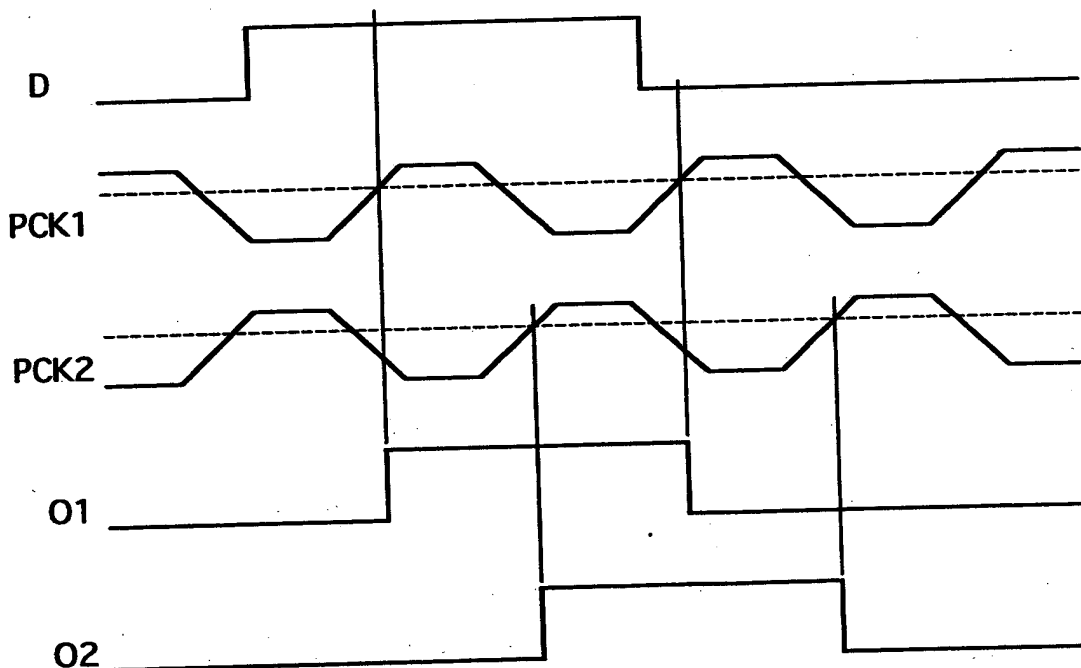
【図5】



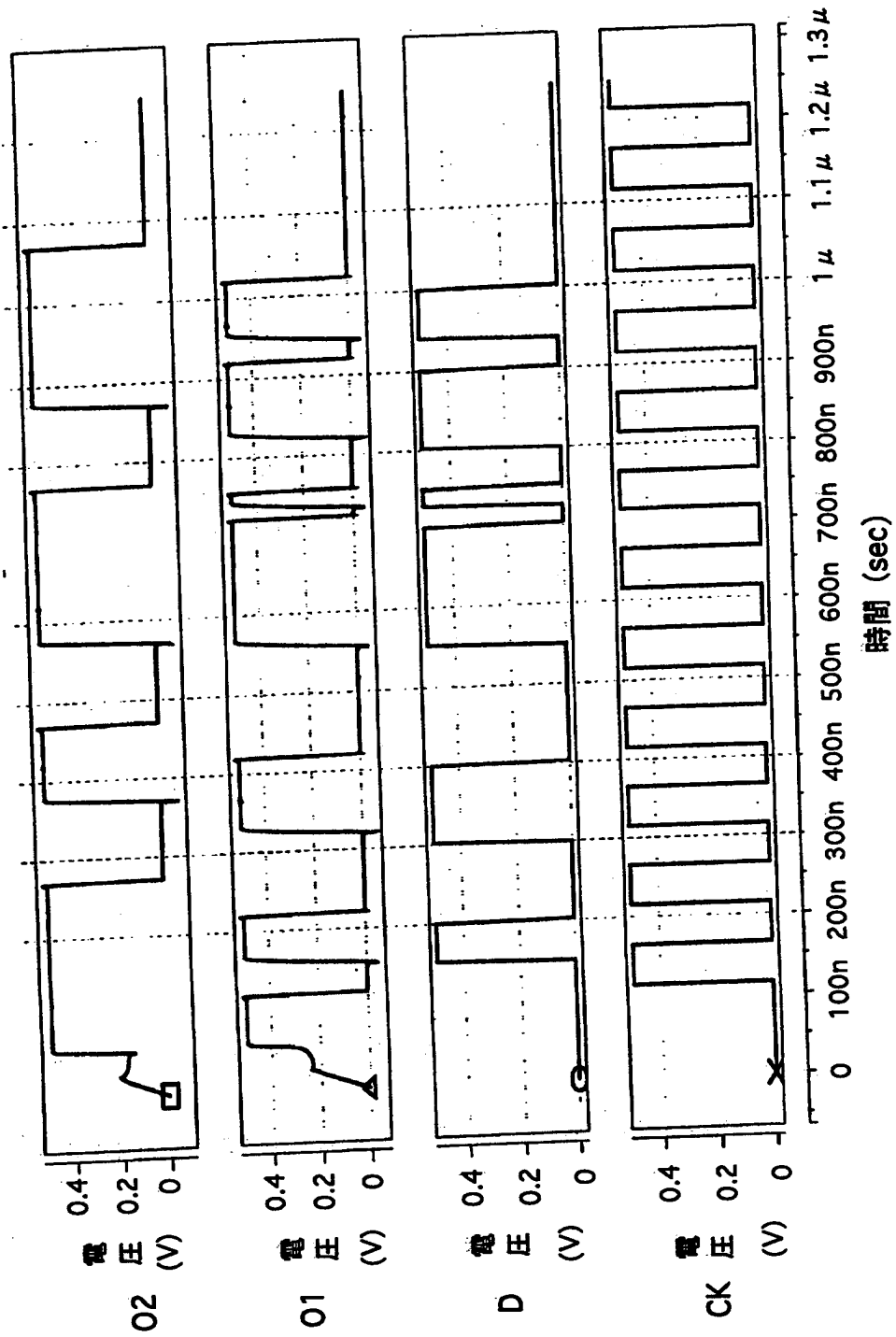
【図 6】



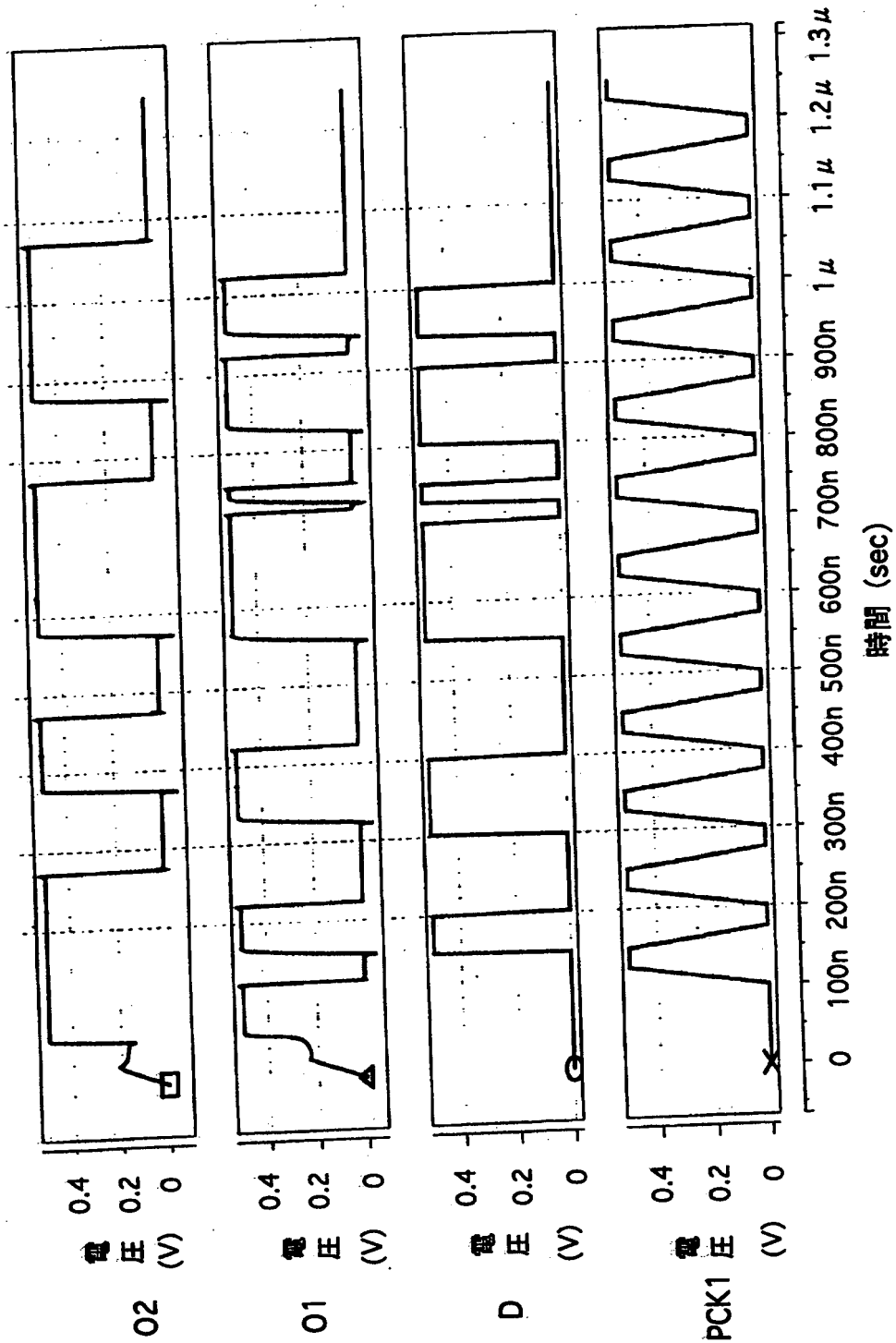
【図 7】



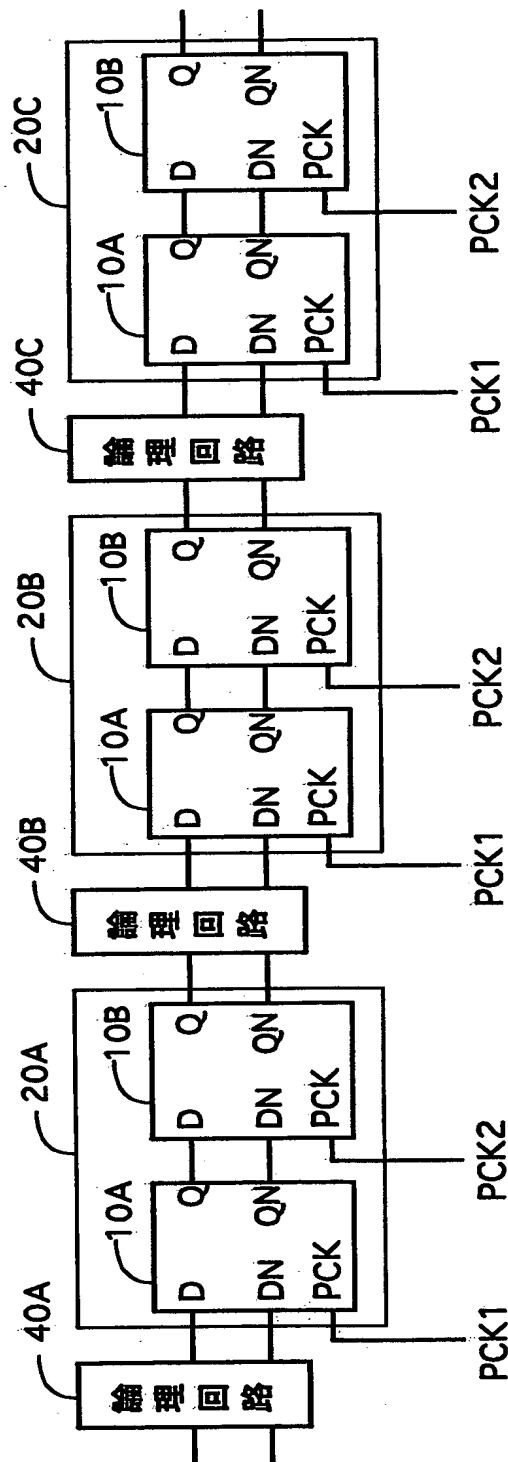
【図8】



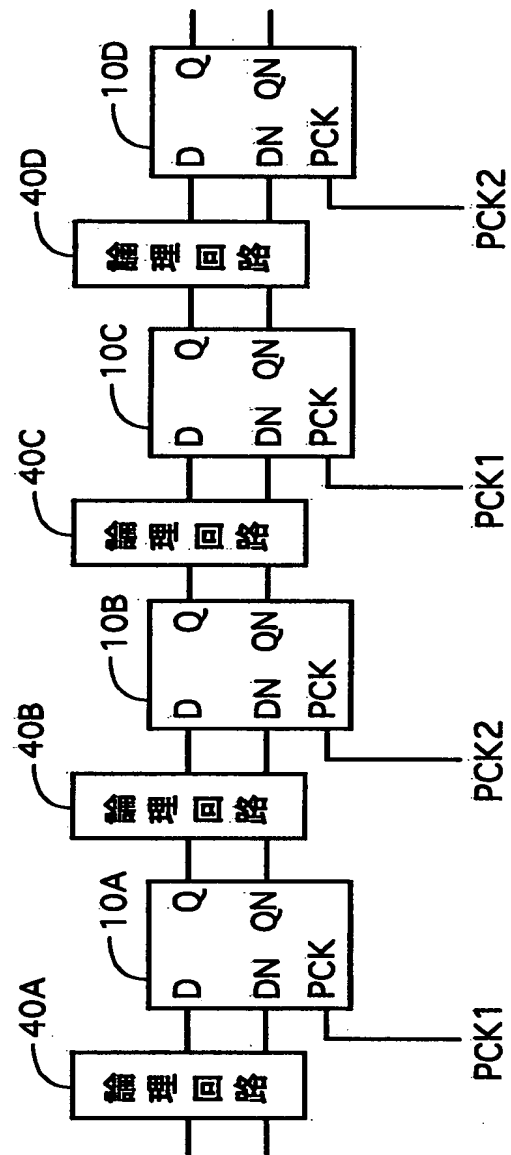
【図9】



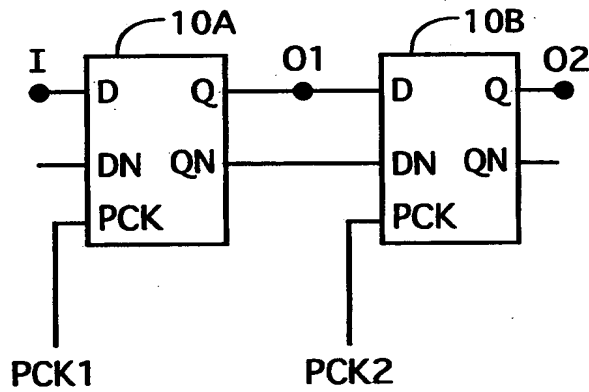
【図10】



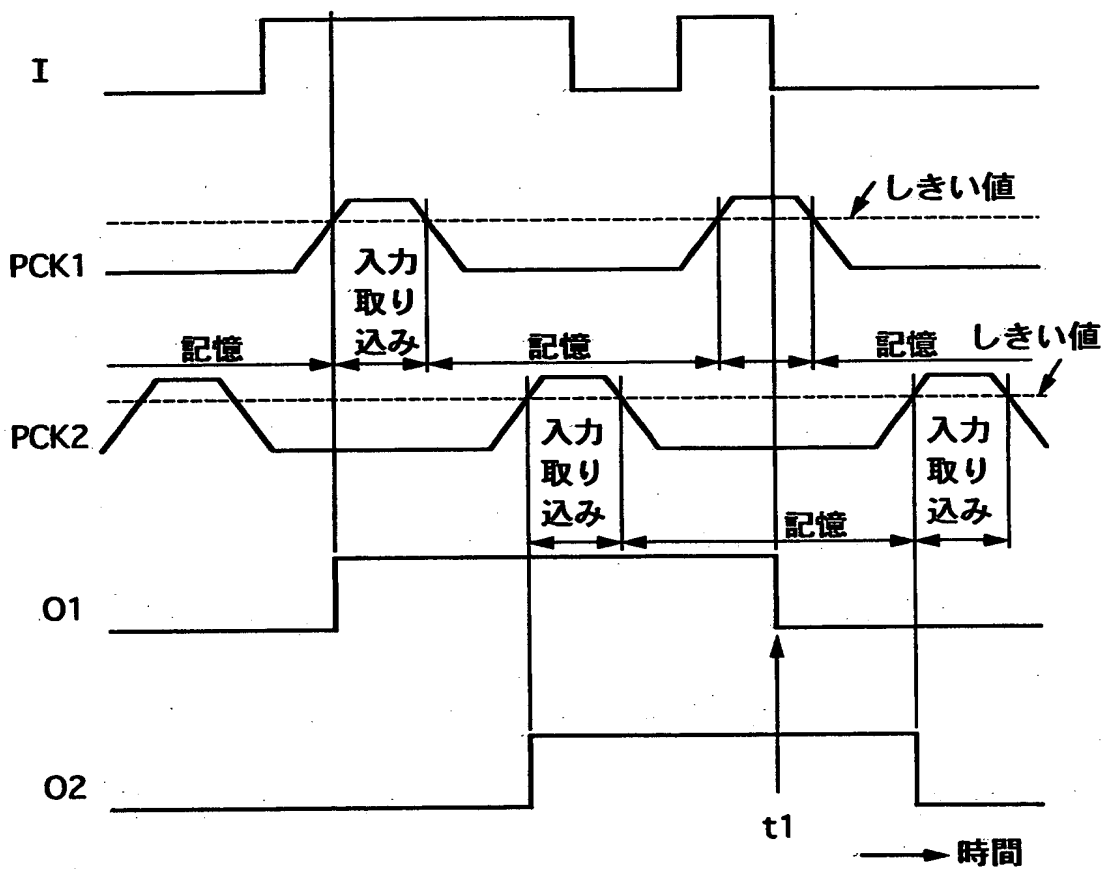
【図 11】



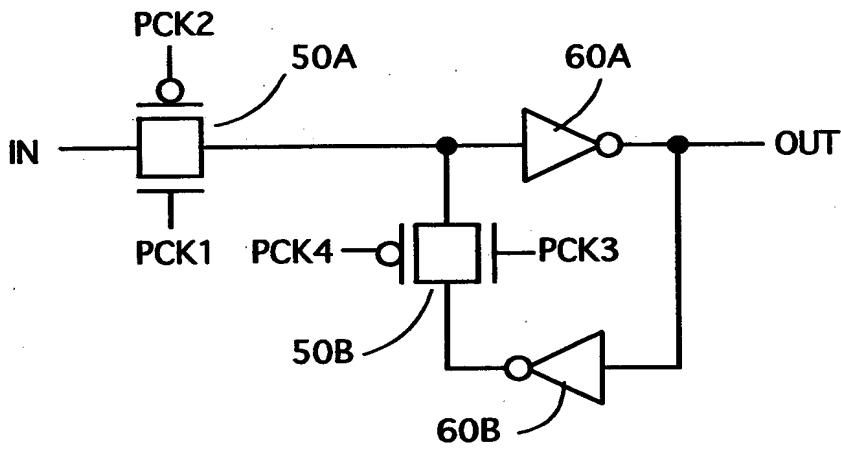
【図 1 2】



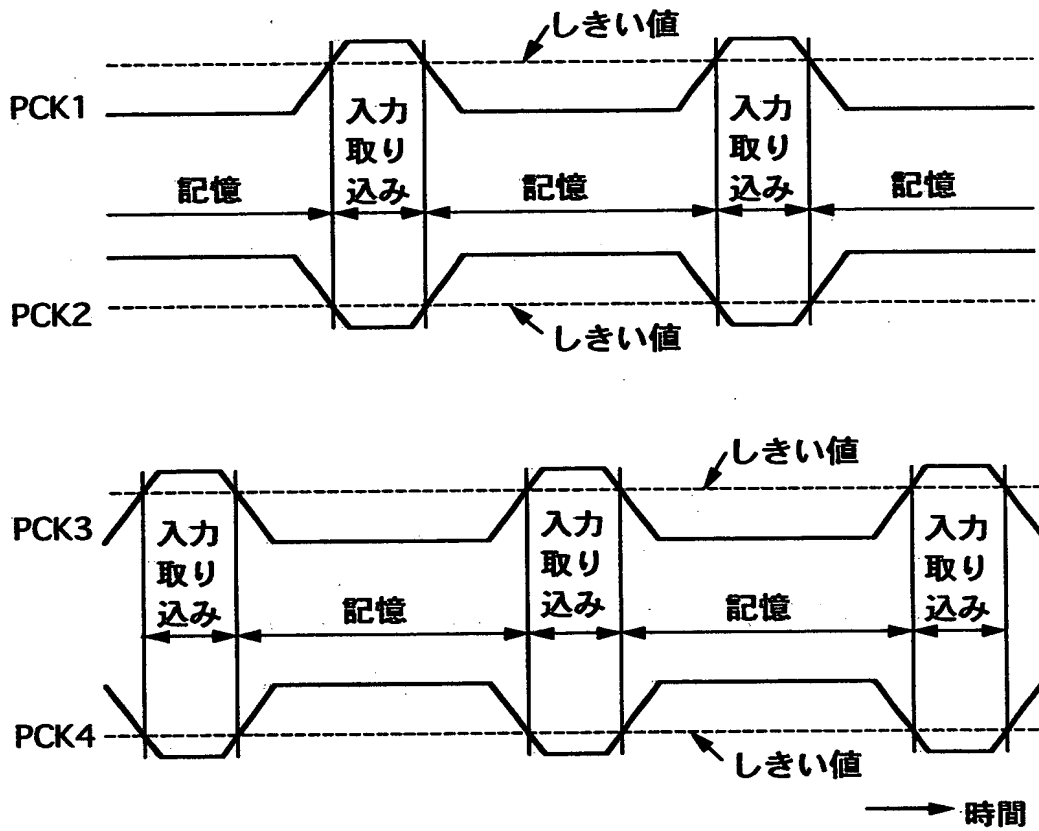
【図 1 3】



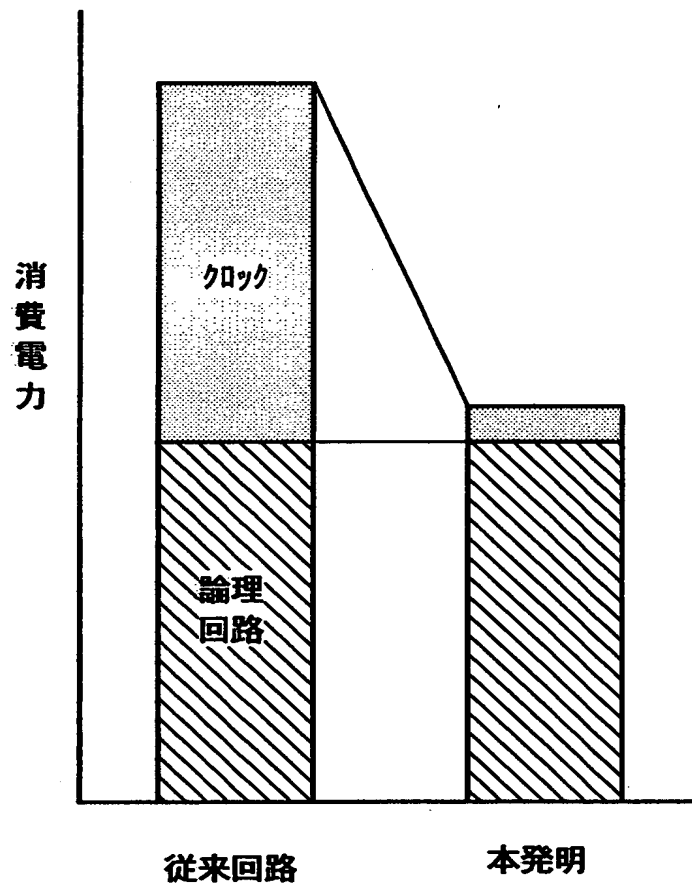
【図14】



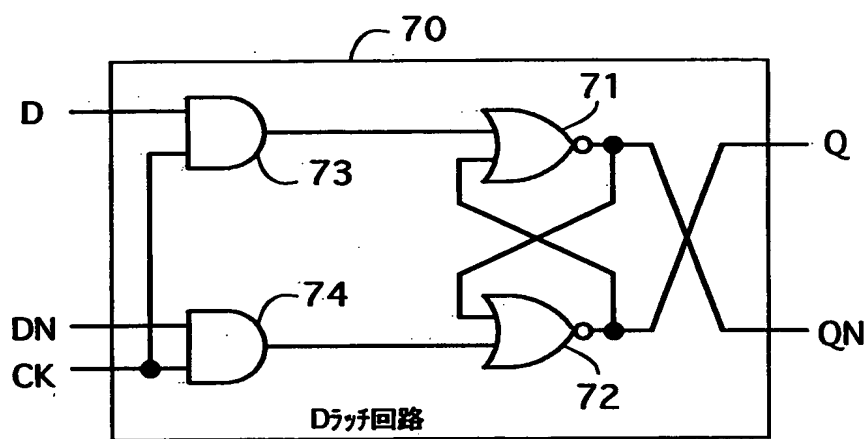
【図15】



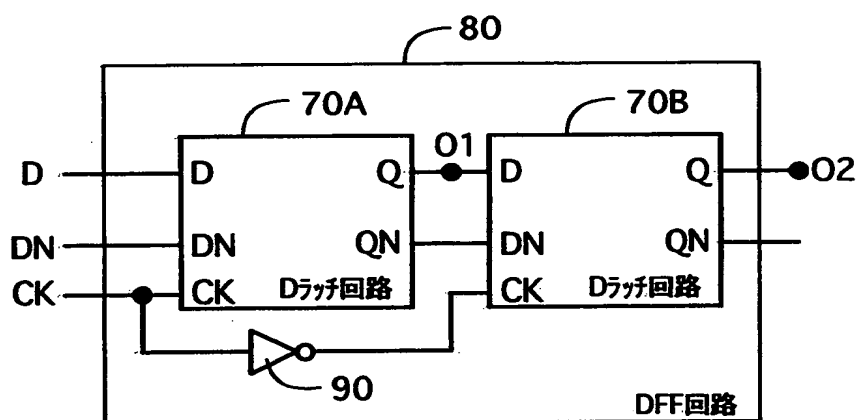
【図 1 6】



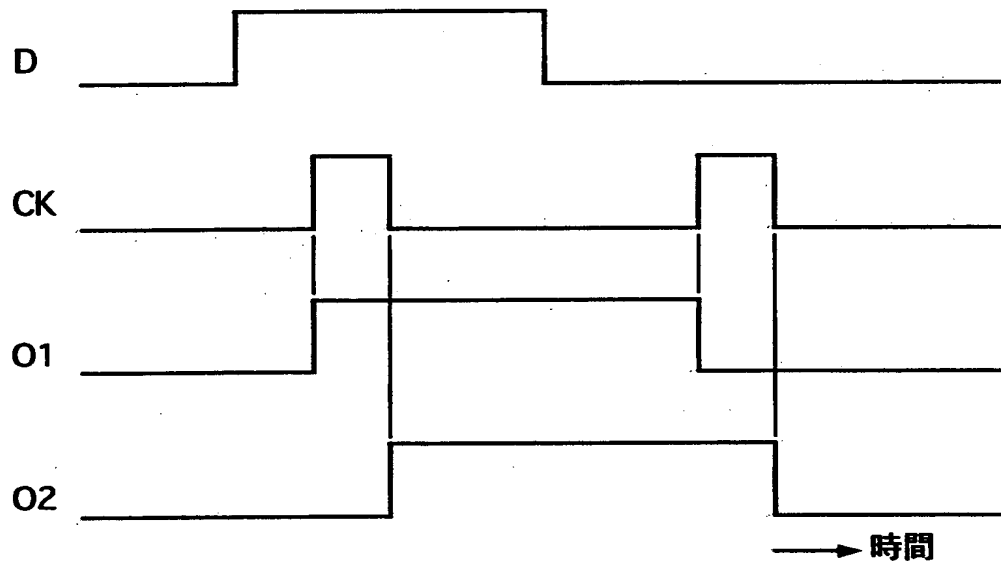
【図 1 7】



【図 1 8】



【図 19】



【書類名】 要約書

【要約】

【課題】 レジスタ回路においてクロック系で消費する電力を低減させる。

【解決手段】 レジスタを構成する n チャンネル、 p チャンネルの MOSFET のしきい値を V_{TN} 、 V_{TP} としたとき、 $|V_{TN}| + |V_{TP}| > V_{DD}$ とし、且つ、入力クロックを電荷再利用を行う電源を用いて生成した緩やかに上昇下降する波形のパワークロックとした。

【選択図】 図 4

出 願 人 履 歴 情 報

識別番号 [000004226]

1. 変更年月日	1999年 7月15日
[変更理由]	住所変更
住 所	東京都千代田区大手町二丁目3番1号
氏 名	日本電信電話株式会社